

4/5/1 (Item 1 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

009435964 **Image available**

WPI Acc No: 1993-129480/ 199316

XRPX Acc No: N93-098653

Liquid crystal display device providing high quality picture - has bump
for forming space to enclose liquid crystal on display-driving substrate

NoAbstract

Patent Assignee: TOSHIBA KK (TOKE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 5066410	A	19930319	JP 91226276	A	19910906	199316 B

Priority Applications (No Type Date): JP 91226276 A 19910906

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 5066410	A	10	G02F-001/1343	

Abstract (Basic): JP 5066410 A

Dwg.1/13

Title Terms: LIQUID; CRYSTAL; DISPLAY; DEVICE; HIGH; QUALITY; PICTURE; BUMP
; FORMING; SPACE; ENCLOSE; LIQUID; CRYSTAL; DISPLAY; DRIVE; SUBSTRATE;

NOABSTRACT

Derwent Class: P81; U14

International Patent Class (Main): G02F-001/1343

International Patent Class (Additional): G02F-001/136; H01L-027/12;
H01L-029/784

File Segment: EPI; EngPI

4/5/2 (Item 1 from file: 347)
DIALOG(R)File 347:JAPIO
(c) 2003 JPO & JAPIO. All rts. reserv.

04074710 **Image available**

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 05-066410 [JP 5066410 A]

PUBLISHED: March 19, 1993 (19930319)

INVENTOR(s): OGAWA MEIKO
IKEDA MITSUSHI
OGAWA YOSHIFUMI
KIYOTA TOSHIYA
SAITO MASAYUKI

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 03-226276 [JP 91226276]

FILED: September 06, 1991 (19910906)

INTL CLASS: [5] G02F-001/1343; G02F-001/136; H01L-027/12; H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R044
(CHEMISTRY -- Photosensitive Resins); R096 (ELECTRONIC
MATERIALS -- Glass Conductors); R119 (CHEMISTRY -- Heat
Resistant Resins)

JOURNAL: Section: P, Section No. 1576, Vol. 17, No. 387, Pg. 137, July
20, 1993 (19930720)

ABSTRACT

PURPOSE: To simplify a process, prevent a defect in picture quality, and to
improve the precision of a cell gap by forming a bump on a liquid crystal
driving substrate except on a display electrode and using the bump as a

spacer.

CONSTITUTION: An active matrix substrate for liquid crystal driving is constituted by arranging an address electric conductor 102 and a data electric conductor 103 on an undercoated insulating substrate 101 and providing a picture element electrode nearby intersection of the electric conductors. On an opposite substrate, an auxiliary address electric conductor 12 is provided and the bump 11 is provided on the address electric conductor 102 to connect it. An opposite transparent electrode is formed except in the area wherein the active matrix substrate for liquid crystal driving and opposite substrate are connected by the bump 11. Namely, the bump 11 provided on the address electric conductor 102 serves as the spacer for forming a space wherein liquid crystal is charged and is used for electric conduction between the opposite substrate and active matrix substrate for liquid crystal driving so as to control the potential of the opposite display electrode 114.

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-66410

(43)公開日 平成5年(1993)3月19日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/1343		9018-2K		
1/136	5 0 0	9018-2K		
H 0 1 L 27/12		8728-4M		
29/784				
		9056-4M	H 0 1 L 29/ 78	3 1 1 A
審査請求 未請求 請求項の数1(全 10 頁)				

(21)出願番号 特願平3-226276

(22)出願日 平成3年(1991)9月6日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 小川 盟子

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72)発明者 池田 光志

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72)発明者 小川 吉文

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(74)代理人 弁理士 大胡 典夫

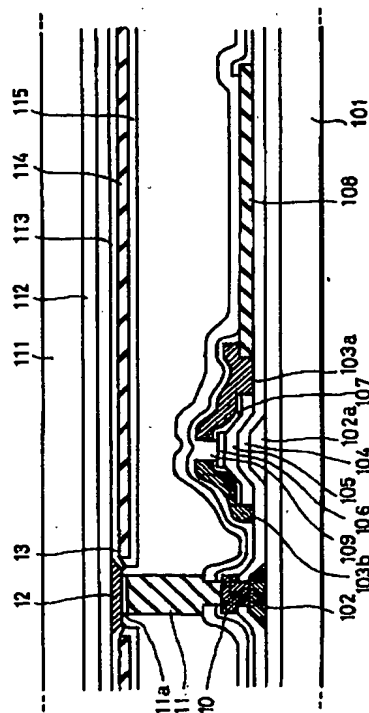
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 パールや、ファイバーなどを液晶駆動用アクティブマトリクス基板上に散布して、液晶を封入するためのギャップを形成する場合において生じる、スペーサの塊による画質不良、ギャップムラの問題が生じない構造の液晶表示装置を提供する事を目的とする。さらに、配線の低抵抗化を行い、画質を向上させる事を目的とする。と同時に、工程の簡略化を行う事を目的とする。

【構成】 液晶表示装置(液晶ディスプレイ)において、液晶表示装置駆動用基板上に、液晶を封入するための空間を形成するためにパンプを形成している事を特徴としている。必要に応じて、このパンプを使用して液晶駆動用アクティブマトリクス基板と対向基板との電気的接続をとる事、さらには、対向基板上に補助配線を形成し、パンプを介して接続している事を特徴としている。



1

【特許請求の範囲】

【請求項1】 絶縁基板上に形成された複数のアドレス配線と、前記アドレス配線に絶縁膜を介して交差部を形成する複数のデータ配線と、前記交差部近傍に配置された画素電極と、前記交差部に隣接しかつ前記アドレス配線に電気的に接続されたゲート、前記データ配線に電気的に接続されたドレインおよび前記画素電極に電気的に接続されたソースの各電極とを設けた前記液晶駆動用アクティブマトリクス基板と、該液晶駆動用アクティブマトリクス基板の画素電極以外の領域に形成されたパンプと、前記パンプをスペーサとして前記液晶駆動用アクティブマトリクス基板との間に空間を設けて配置された対向基板と、前記空間に封入された液晶体を具備したことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶表示装置に関する。

【0002】

【従来の技術】 液晶表示装置（液晶ディスプレイ）は、軽量、薄形化が可能で、低消費電力であることから、たとえば、携帯用TV、ラップトップパソコンのディスプレイなどに応用されており、さらに大型化、高精細化の研究開発が各所で行われている。

【0003】 図12および図13に従来の液晶表示装置の、液晶駆動用アクティブマトリクス基板の画素領域の拡大平面図と液晶表示装置の一部を拡大した断面図を示す。液晶駆動用アクティブマトリクス基板としては、互いに交差する複数本ずつのアドレス配線102とデータ配線103と、その交差点に、アモルファスSi（以下、a-Siと略す）あるいはポリSi（以下、p-Siと略す）により構成した薄膜トランジスタ（以下、TFTと略す）または、MIM素子を基板上に配列した、アクティブマトリクス基板が知られている。なお、図中の101は絶縁性透明基板、102は前記基板101上に設けられたアドレス配線、103は前記アドレス配線102に直角の方向に設けられたデータ配線、102aはゲート電極、103aはソース電極、103bはドレイン電極、104は層間絶縁膜、108は画素表示電極、110は配向膜でこの上方に液晶体が封入される空間を介し、配向膜115、対向表示電極114、トップコート層113、着色層112、絶縁性透明基板111よりなる対向基板が配置されている。液晶表示装置は、この液晶駆動用アクティブマトリクス基板と対向基板の間に液晶を封入することによって構成される。

【0004】 液晶を封入するための空間のギャップを形成するために通常は、球状のパールと呼ばれるもの、あるいは円筒型のファイバーと呼ばれるものをスペーサ116として液晶駆動用アクティブマトリクス基板上に散布して使用し、数 μm 程度のギャップを形成している。さらに、対向基板上の対向表示電極114と液晶駆動用

2

アクティブマトリクス基板との電気的導通をとるために、従来は銀ペーストやドータイトなどを使用していた。しかし、従来の方法でギャップを構成した場合、上記のスペーサが凝集し塊となってしまうと、液晶表示を行わない領域が発生し、画面上できらきらと光った欠陥として視認されてしまうという欠点がある。また、液晶駆動用アクティブマトリクス基板は、完全に平坦ではなく、TFT、画素、配線などで凹凸がある。したがって散布したスペーサが付着する部分によって基板の高さが異なるため、セルに「ギャップむら」を生じ画質を低下させる原因となる。

【0005】 また、液晶駆動用のアクティブマトリクス基板に関する問題点として、配線の遅延による画質の低下がある。

【0006】

【発明が解決しようとする課題】 以上述べてきたように、パールや、ファイバーなどを液晶駆動用アクティブマトリクス基板上に散布して、液晶を封入するためのギャップを形成する場合において生じる、スペーサの塊によるきらきら光る不良や、「ギャップむら」等の重大な問題があった。本発明は叙上の問題を解決するためになされたもので、上記従来の諸問題が生じない構造の液晶表示装置を提供することを目的とする。また、配線の低抵抗化を行い、画質を向上させること、さらに工程の簡略化をはかることを目的とする。

【0007】

【課題を解決するための手段】 本発明に係る液晶表示装置は、絶縁基板上に形成された複数のアドレス配線と、前記アドレス配線に絶縁膜を介して交差部を形成する複数のデータ配線と、前記交差部近傍に配置された画素電極と、前記交差部に隣接しかつ前記アドレス配線に電気的に接続されたゲート、前記データ配線に電気的に接続されたドレインおよび前記画素電極に電気的に接続されたソースの各電極とを設けた前記液晶駆動用アクティブマトリクス基板と、該液晶駆動用アクティブマトリクス基板の画素電極以外の領域に形成されたパンプと、前記パンプをスペーサとして前記液晶駆動用アクティブマトリクス基板との間に空間を設けて配置された対向基板と、前記空間に封入された液晶体を具備したことを特徴とする。

【0008】 また本発明の液晶表示装置は、対向基板上にアドレス配線またはデータ配線の補助配線を備え、かつパンプを液晶駆動用アクティブマトリクス基板上の補助配線を有する配線上に設け、該パンプで前記補助配線と接続していることを特徴とする。

【0009】 さらに叙上のいずれかにおいて、液晶駆動用アクティブマトリクス基板と対向基板上の対向表示電極を接続していることを特徴とする。

【0010】

【作用】 本発明によれば、液晶駆動用アクティブマトリ

3

クス基板上の表示電極以外の部位にパンプを形成しこのパンプをスペーサとすることによって液晶を封入するための空間のギャップを形成することにより、従来のスペーサを液晶駆動用アクティブマトリクス基板上に散布してギャップを形成する構造に比べ、スペーサの塊による画像欠陥や、ギャップむらのない液晶表示装置を得ることができる。また、対向基板上の対向表示電極と液晶駆動用アクティブマトリクス基板をスペーサとして使用するパンプで電氣的に接続しているため、従来のスペーサ散布工程、および対向基板上の対向表示電極と液晶駆動用アクティブマトリクス基板の電氣的接続をとる工程が不要となる。さらに、対向基板上に補助配線を形成し、パンプを介して液晶駆動用アクティブマトリクス基板上の配線に接続するため、配線の低抵抗化を行うことができる。また、対向基板上に補助配線があるため、補助配線を冗長回路として使用できるため、補助配線のある配線に断線の不良が発生したり、層間絶縁膜に起因するアドレス線とデータ線のショートが発生しても、一例として、レーザを照射し配線を切断あるいは接続することによって修復できる。

【0011】

【実施例】

(実施例1) 以下、本発明の実施例について説明する。

図1は、本発明に係る第一実施例において用いた液晶駆動用アクティブマトリクス基板の表示画素領域部分を拡大して示す平面図である。図2は、液晶表示装置の表示画素部分を拡大して示す断面図である。図3は、対向基板上の表示画素領域部分を拡大して示す平面図である。図4は、対向基板上の対向表示電極と液晶駆動用アクティブマトリクス基板との電氣的導通をとるための接続部を拡大して示す断面図である。液晶駆動用アクティブマトリクス基板は、アンダーコートをした絶縁性基板101上にアドレス配線102とデータ配線103がそれぞれ複数本ずつ配設され、配線の交点付近に画素電極が設けられているのは従来と同様である。一方、対向基板上に、アドレス配線の補助配線12が設けられ、一画素に複数個、アドレス配線102上に設けられたパンプ11によってアドレス配線と接続している。対向透明電極は、液晶駆動用アクティブマトリクス基板と、対向基板とのパンプで接続している領域以外に形成されている。このアドレス配線102上に設けられたパンプ11は液晶駆動用アクティブマトリクス基板と対向基板の間に液晶をいれるための空間を形成するスペーサとしての役割と、対向基板上の対向表示電極114の電位を制御するために、対向基板と液晶駆動用アクティブマトリクス基板との導通をとるために使用している。対向基板と液晶表示装置の駆動用基板との導通をとるためのパンプを形成する位置は、液晶を封入している領域でも、シール剤の外側の液晶の存在していない領域でも良い。

【0012】次に、本発明第一の実施例の液晶表示装置

4

の製造方法について、拡大断面図の図2を用いて説明する。例えば SiO_x でアンダーコートされた絶縁性透明基板101上に例えば、ガラス基板上にスパッタリング法で第一の配線材料例えば MoTa を膜厚2500オングストローム（以下Aと略記する）成膜し、レジストパターンニング、ケミカルドライエッチング（Chemical Dry Etching以下CDE法と略す。）によりエッチングし、アドレス配線102とゲート電極102aを形成する。次に、前記アドレス配線102（第一の信号配線）とデータ配線103（第二の信号配線）とを絶縁するために層間絶縁膜104、例えばプラズマCVD法で膜厚3000Aの SiO_x を形成する。続いて、活性層105である a-Si 、活性層保護膜106の SiN_x を例えば、プラズマCVD法でそれぞれ500A、2000A成膜する。次に、活性層保護膜106の SiN_x をレジストパターンニングし、フッ酸系エッチング液でエッチングする。次にコンタクト層107の $\text{n}^+ \text{a-Si}$ を例えばプラズマCVD法で500A成膜する。次にコンタクト層107の $\text{n}^+ \text{a-Si}$ と活性層105の a-Si をレジストパターンニングし、CDE法でエッチングする。画素電極108を形成するために透明導電膜、例えばITOを例えばスパッタリング法で成膜、レジストパターンニングし、王水系のエッチング液でエッチングする。次に前記アドレス配線102とデータ配線103とのコンタクトをとるために、層間絶縁膜104にスルーホールをレジストパターンニングし、フッ化アンモニウムエッチング液でエッチングを施す。このときにパンプを形成する位置でもコンタクトがとれるようにスルーホールを設ける。次に第二の配線材料、例えば Mo/Al の積層構造となるように、例えばスパッタリング法で500A/3000A成膜し、データ配線103（第二の信号配線）、TFTのソース・ドレイン電極103a、103b、パンプ形成位置の電極10をレジストパターンニングし、硝酸・硫酸・酢酸混合液によってエッチングを施す。次にソース・ドレイン電極の間の $\text{n}^+ \text{a-Si}$ をCDE法によって除去する。次に、パッシベーション膜109として、例えばプラズマCVD法で SiN_x を2000A成膜し、画素部、引き出し電極部、パンプ電極部を除去するパターンをレジストパターンニングし、CDE法あるいはリアクティブイオンエッチング法（Reactive Ion Etching以下RIE法と略す。）でエッチングを施す。配向膜110として感光性ポリイミドを塗布、引き出し電極上及びパンプ電極上を除去するようにパターンを形成し、配向処理をする。形成したいパンプの高さと同じ厚みにレジストを4 μm 塗布し、レジストパターンニングする。例えば、電気めっき法によってCuパンプ11を形成し、接着層11aとして、Sn層をパンプの最上層に形成する。

【0013】一方、対向基板上に、対向表示電極とは絶

5

縁された状態で、アドレス配線（第一の信号配線）の補助配線12を形成する。絶縁性透明基板114例えば、ガラス基板上に、従来と同様に、着色層112および、トップコート層113を形成する。補助配線材料として、例えば、Al/Cr積層膜をスパッタリング法で3000Å形成する。補助配線パターン12をレジストパターンニングし、硝酸第二セリウムアンモニウム溶液および、硝酸燐酸酢酸溶液でCr, Alをそれぞれエッチングする。補助配線12と対向表示電極114との間の層間絶縁膜13として例えば、プラズマCVD法でSiO_xを2000Å成膜し、液晶駆動基板上のアドレスライン102（第一の信号配線）上のパンプ11と接続する部分の補助配線12上の層間絶縁膜13を除去できるようなパターンをレジストパターンニングし、CDE法、あるいはRIE法によってエッチングする。対向表示電極114を形成するために、透明導電膜例えばITO（In₂O₃:Sn）をスパッタリング法で成膜、レジストパターンニング、王水系のエッチング溶液でエッチングする。配向膜115として感光性ポリイミドを塗布、液晶駆動用基板上に形成されたパンプと接続する部分を除去するようにパターンを形成し、配向処理をする。

【0014】以上のような工程を経て、用意された液晶駆動用基板と対向基板を組み立て、液晶を封入することによって本発明の液晶表示装置を製造することができる。

【0015】なお、上記実施例において、使用する絶縁透明基板は、アンダーコートの材料がSiO_x以外でも、例えば、TaO_x、SiN_xなどでも良く、また、アンダーコートをしなくても良い。また、第一の配線材料としては、スパッタリング法で形成したMoTa以外でも、例えば、スパッタリング法あるいは蒸着法などで形成したMo, Ta, W, Al, Cr, Ti, Cu, Ni, Sn, In, およびそれらを主成分とする合金、およびそれらの積層膜を使用しても良い。また、アドレスライン（第一の配線材料）、およびデータ配線（第二の配線材料）の層間絶縁膜としてSiO_x以外でも、例えば、第一の配線の陽極酸化あるいは熱酸化膜、プラズマCVD法あるいは、スパッタリング法で形成したSiO_x、SiN_x、および、それらの積層膜を使用しても良い。活性層として使用する材料は、a-Siばかりでなくp-Siを使用しても良く、また、成膜方法もプラズマCVD法に限らず、光CVD法、スパッタリング法などでも良い。第二の配線材料としては、Mo/Alの積層膜以外でも、例えば、スパッタリング法あるいは蒸着法などで形成したMo, Ta, W, Al, Cr, Ti, Cu, Ni, Sn, In, およびそれらを主成分とする合金、およびそれらの積層膜を使用しても良い。また、パッシベーション膜として使用する材料は、プラズマCVD法によって成膜したSiN_xばかりでなく、たとえば、プラズマCVD法、あるいはスパッタリング法、あ

6

るいは焼成で成膜したSiO_x、SiN_x、およびそれらの膜の積層構造でも良く、また、ポリイミドでも良い。あるいは保護膜のない構造でも良い。配線上に形成するパンプはCuばかりではなく、Cu, Ni, Au, Cu, Sn, あるいはそれらの金属の合金でも良く、パンプの形成方法の上記の電解めっき法ばかりではなく、無電解めっき法、蒸着法、転写法などでも良い。また、パンプ11の最上層に形成する接着層11aの材料はSnばかりでなく、たとえば、Sn, Au, Al, あるいはそれらの金属の合金でも良い。一方、対向基板上に形成する補助配線12に使用する材料は、スパッタリング法で形成したCr/Al積層膜ばかりでなく、例えば、スパッタリング法あるいは蒸着法などで形成したMo, Ta, W, Al, Cr, Ti, Cu, Ni, Sn, In, およびそれらを主成分とする合金、およびそれらの積層膜を使用しても良い。

【0016】（実施例2）本発明の第二実施例に係る液晶表示装置の表示画素領域を拡大断面図で図5に示す。第二実施例の液晶駆動用アクティブマトリクス基板の画素領域の拡大平面図および、対向基板の画素領域を拡大した平面図は第一実施例と同様である。Cuパンプを形成するときに、接着層11aをAuで形成した後に熱酸化法によってCuパンプの側面を酸化させ、酸化層11bを形成したものである。

【0017】図6、図7、図8は、本発明第一および第二実施例における対向基板のパターン形成例である。図6は、補助配線12以外の領域に、対向表示電極を短冊状に形成した例である。図7は、補助配線12を短冊状に形成し、補助配線12以外の領域に対向表示電極を形成した例である。図8は、補助配線12を短冊状に形成し、補助配線12がアドレス線上に設けられたパンプによって電気的に接続している領域以外のところに対向表示電極を形成した例である。

【0018】（実施例3）図9および図10は、本発明第三実施例の液晶駆動用アクティブマトリクス基板の画素領域の拡大平面図と、対向基板の画素領域の拡大平面図である。本発明第一実施例および、第二実施例においては、一画素毎に複数個のパンプを形成していたが、この第三実施例は画素毎のパンプの形成数が1つである。パンプ形成の数は、複数個の画素に1つの割合でも構わない。

【0019】図11は本発明の第三実施例における対向基板のパターンの形成例で、補助配線12以外の領域に、対向表示電極を形成した例である。

【0020】第一、第二、第三の各実施例においては、いずれもアドレス線上にパンプを形成し、対向基板側に形成した補助配線はアドレス配線の補助配線であったが、データ配線上にパンプを形成し、対向基板上にデータ配線の補助配線を形成する構造としても良い。また、第一、第二、第三の各実施例においては、いずれも補助

容量の無い構造の液晶駆動用アクティブマトリクス基板の例を示したが、補助容量を有する構造の液晶表示装置でも本発明は実施可能であり、補助容量配線上にバンクを形成し、対向基板上に補助容量配線の補助配線を形成しても良い。

【0021】また、配線抵抗が十分に低く、補助配線を使用して配線抵抗を低下させる必要の無いときには対向基板上に補助配線を形成する必要はない。補助配線を形成しない場合には、バンク形成後に配向膜を形成してバンク上に配向膜が残っていても問題なく、また、バンク形成後に、バンクの表面を熱酸化などで酸化して表面を絶縁化しても良い。

【0022】また、第一、第二、第三の各実施例で示したTFTの構造は、a-Si膜上に保護膜を有する逆スタagger型のTFTであるが、これ以外の構造のTFT、例えば、スタagger型、コプラナ型、a-Si上に保護膜のない構造のTFTでも、本発明は実施可能で、スイッチング素子は、p-SiTFTでもMIMでも構わない。

【0023】

【発明の効果】以上説明してきた様に、本発明の液晶表示装置は、液晶表示装置駆動基板上にバンクを形成する事によって、従来構造の液晶表示装置の様に、液晶を封入する空間を形成するためのスペーサ、および液晶表示装置駆動基板と対向基板の電気的導通をとるための銀ペーストあるいはドータイトを使用する必要がなくなった。従って、スペーサ散布工程および銀ペーストでの接着工程は必要なくなり、工程の簡略化を行う事ができた。さらに、スペーサを使用しないため、スペーサに起因する画質不良、たとえば、スペーサが固まって存在する事によるきらきら光る不良などをなくす事ができ、同時にセルギャップの精度をあげることができた。また、補助配線を対向基板上に形成する事により、従来の構造の液晶駆動基板の配線抵抗に比べて、たとえばアドレス配線の補助配線を形成した場合には、配線抵抗が約5分の1に低下した。

【図面の簡単な説明】

【図1】本発明の第一実施例に係る液晶駆動用アクティブマトリクス基板の表示画素領域部分を拡大して示す平面図。

【図2】本発明の第1実施例に係る液晶表示装置の表示画素部分を拡大して示す断面図。

【図3】本発明の第1実施例に係る液晶表示装置における対向基板の表示画素領域部分を拡大して示す平面図。

【図4】本発明の第1実施例に係る液晶表示装置における対向基板と液晶駆動用アクティブマトリクス基板との

電気的導通をとるための接続部を拡大して示す断面図。

【図5】本発明の第二実施例に係る液晶表示装置の表示画素領域を拡大して示す断面図。

【図6】本発明の第一実施例および第二実施例における液晶表示装置の対向基板のパターン形状を示す平面図。

【図7】本発明の第一実施例および第二実施例における液晶表示装置の対向基板のパターン形状を示す平面図。

【図8】本発明の第一実施例および第二実施例における液晶表示装置の対向基板のパターン形状を示す平面図。

10 【図9】本発明の第三実施例に係る液晶駆動用アクティブマトリクス基板の画素領域を拡大して示す平面図。

【図10】本発明の第三実施例に係る液晶駆動用アクティブマトリクス基板の画素領域を拡大して示す平面図。

【図11】本発明の第三実施例における液晶表示装置の対向基板のパターン形状を示す平面図。

【図12】従来の液晶表示装置に係り液晶駆動用アクティブマトリクス基板の画素領域を拡大して示す平面図。

【図13】従来の液晶表示装置の一部を拡大して示す断面図。

20 【符号の説明】

10…バンク形成位置の電極

11…Cuバンク

11a…接着層

11b…酸化層

12…補助配線

13…層間絶縁膜

101…絶縁性透明基板

102…アドレス配線

102a…ゲート電極

30 103…データ配線

103a…ソース電極

103b…ドレイン電極

104…層間絶縁膜

105…活性層

106…活性層保護膜

107…コンタクト層

108…画素電極

109…パッシベーション膜

110…配向膜

40 111…絶縁性透明基板

112…着色層

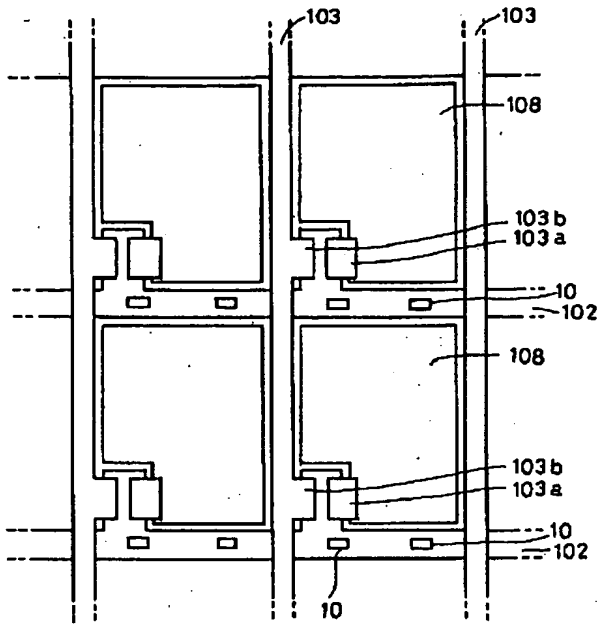
113…トップコート層

114…対向表示電極

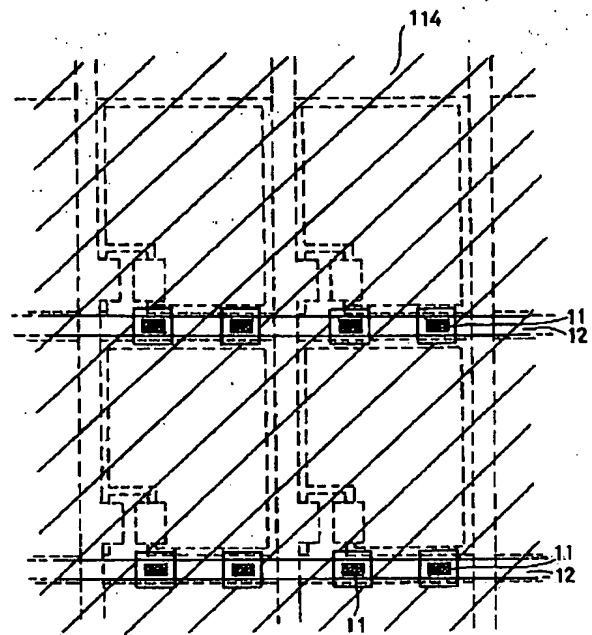
115…配向膜

116…スペーサ

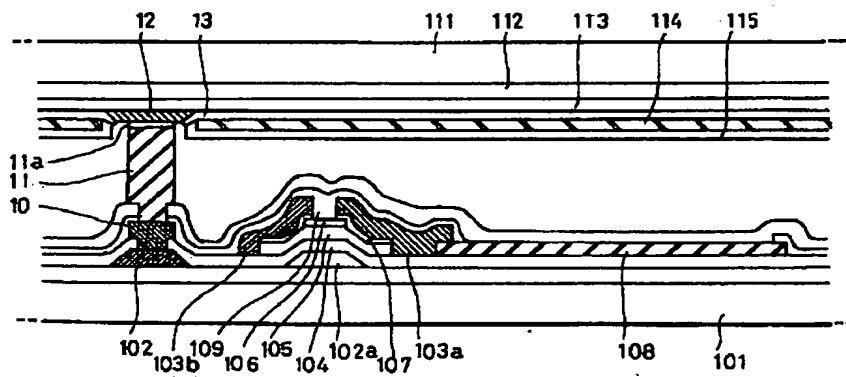
【図1】



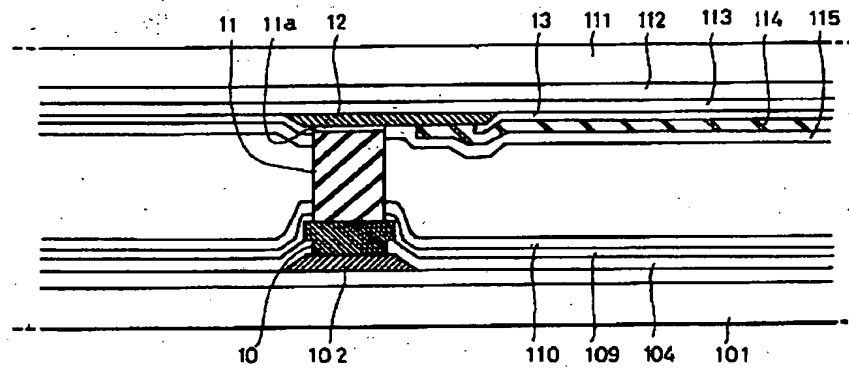
【図3】



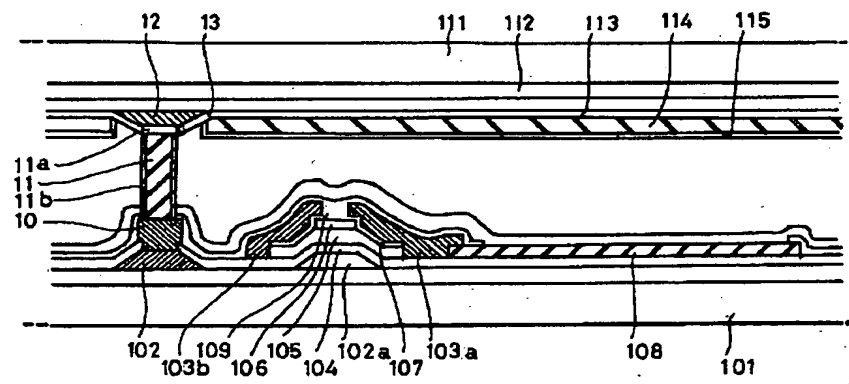
【図2】



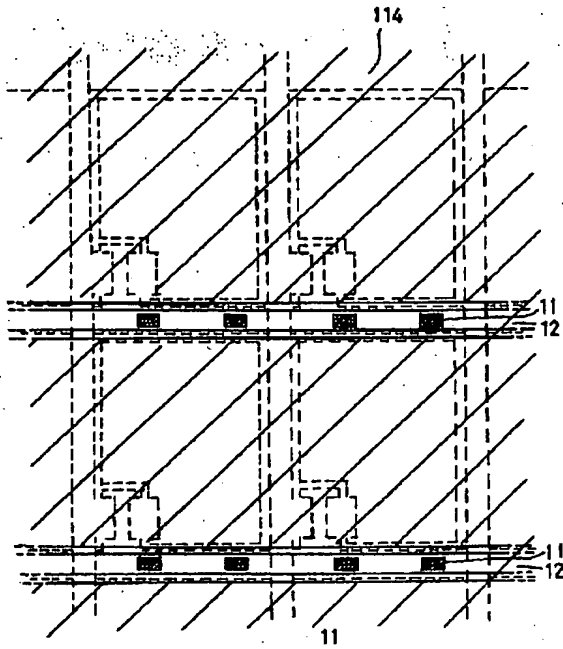
【図4】



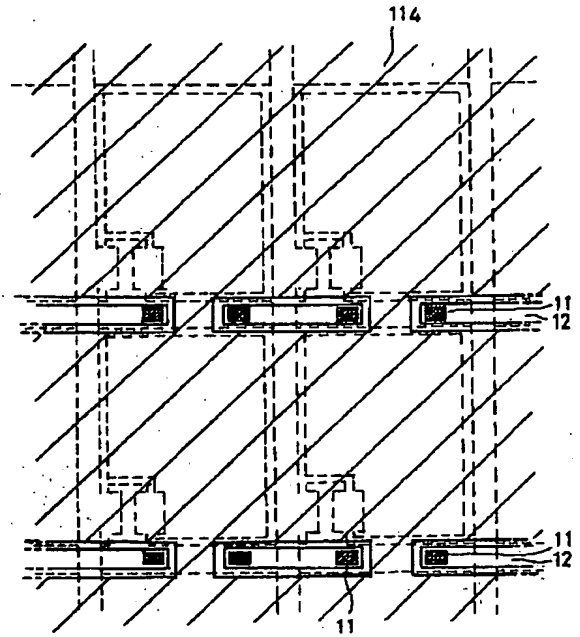
【図5】



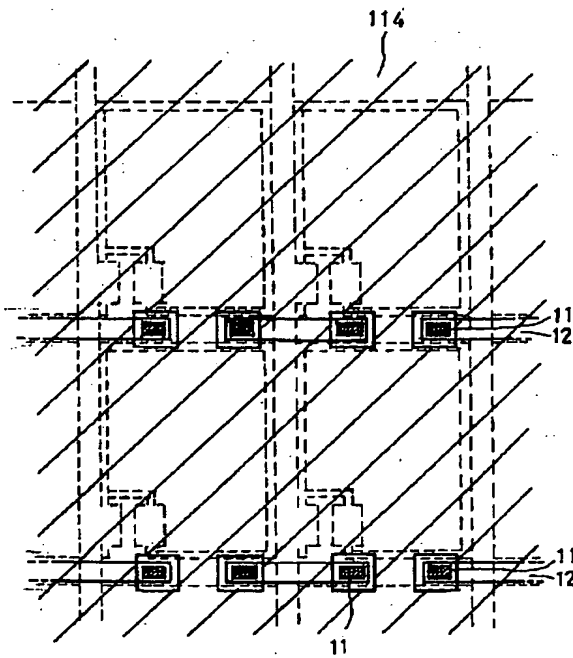
【図6】



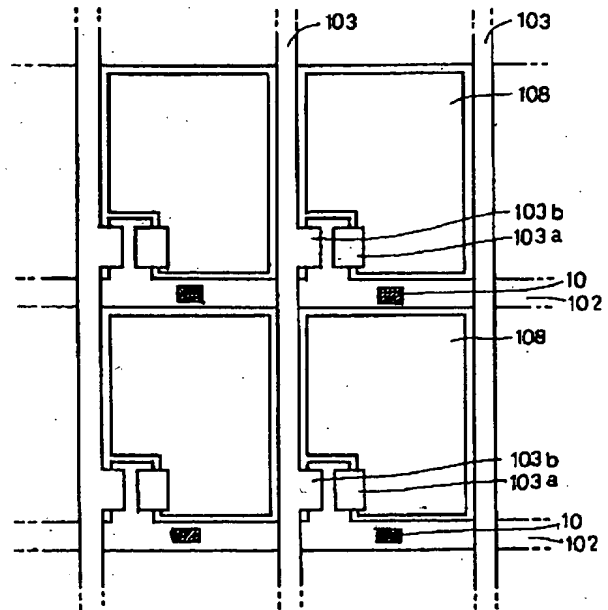
【図7】



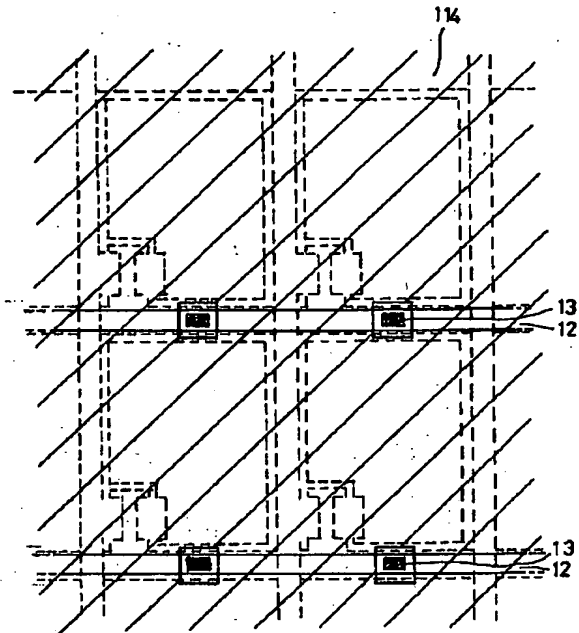
【図8】



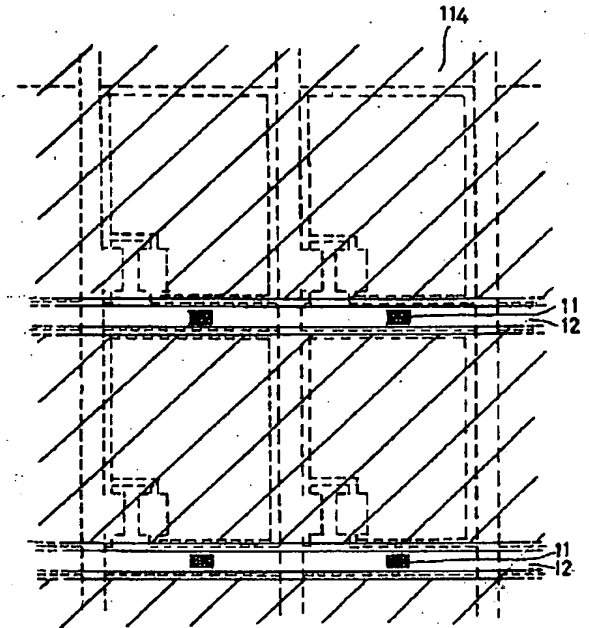
【図9】



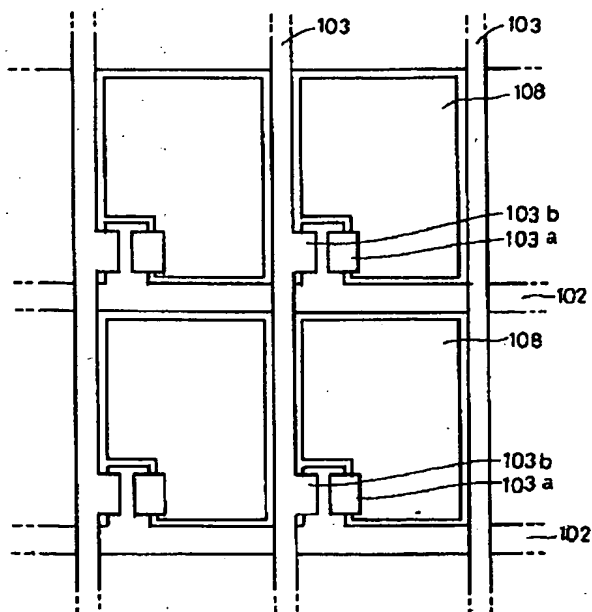
【図10】



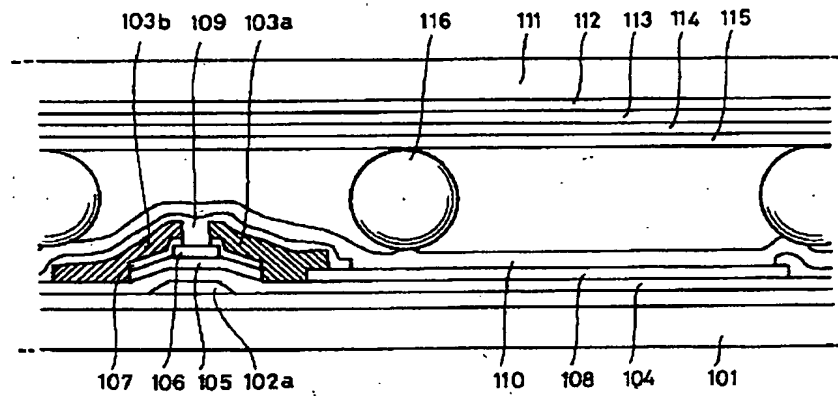
【図11】



【図12】



【図13】



フロントページの続き

(72)発明者 清田 敏也
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

(72)発明者 斉藤 雅之
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内